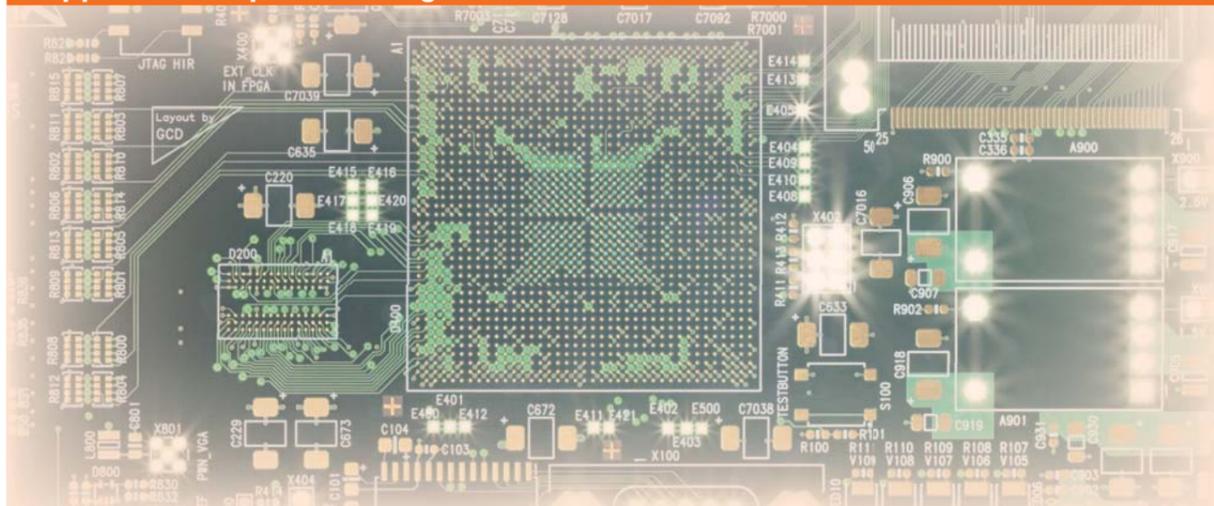


## Tipp für Leiterplattendesigner – HDI-/Mikrovia-Serie Teil 12

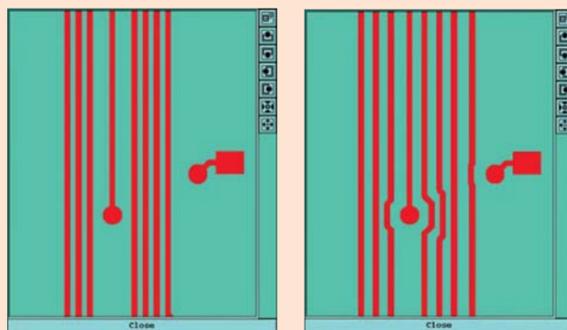


## Fertigungsgerechtes Layout für HDI-Leiterplatten

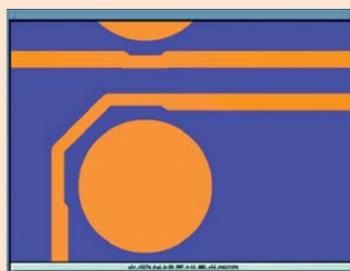
Im letzten Kapitel der Serie haben wir Funktionsweise und Möglichkeiten eines DRC (Design-Rule-Check) beim Entwickler und beim Leiterplattenfertiger kennen gelernt. Aufbauend darauf erklärt Karim Richlowski, Leiter CAM beim Berliner Leiterplattenhersteller CONTAG in dieser Folge, wie im Rahmen der Abarbeitung der DRC-Ergebnisse auch gleich Fertigungsoptimierungen vorgenommen werden können.

### DRC und DfM

Was ist eigentlich DfM? Unter Design for Manufacturing (DfM) versteht man die Optimierung eines Designs nach Fertigungs- und Qualitätskriterien. Dabei hat der Leiterplattenfertiger auf seiner CAM-Station meist weit umfangreichere Prüf- und Korrekturmöglichkeiten als der Leiterplatten-Designer mit seinem Layout-System. Zuvor muss natürlich mit dem Kunden geklärt sein, welche Änderungen überhaupt erlaubt sind und wie dann die Freigabeprozedur für diese Modifikationen aussieht. Ausgangspunkt ist die Ergebnisliste des Design-Rule-Checks auf der CAM-Station. Bei der Überprüfung auf Regelverletzungen können einfach und komfortabel Möglichkeiten für Optimierungen mit abgeprüft werden. Dies ist insbesondere dort sinnvoll, wo Grenzwerte der Entwurfsregeln erreicht werden.

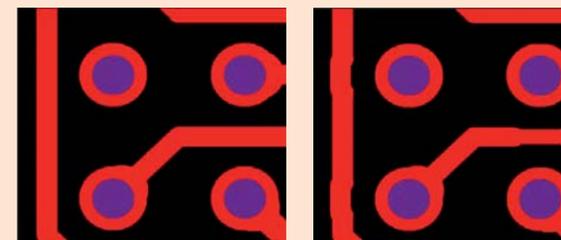


■ Bild 1: Isolationsabstand zwischen den Leiterbahnen soll auf einer möglichst großen Länge möglichst groß sein und bietet genügend Platz, die Leiterbahnen zu verschieben  
Bild: Orbotech



■ Bild 2: Mindestbreite der Leiterbahn begrenzt Vergrößerung des Pad; die Leiterbahn kann wegen der weiteren Leiterbahn und dem anderen Pad nicht verlegt werden  
Bild: Orbotech

Wir erinnern uns an die goldene Regel: So groß wie (sinnvoll) möglich, so klein wie (jeweils) nötig. Dies gilt natürlich nicht nur für Padgrößen und Leiterbahnbreiten, sondern auch für Mindestabstände und Freistellungen. Genau so wie die Prüfkriterien (einzelne Prüfparameter) können dabei auch die Optimierungskriterien für die Fertigung nach verschiedenen Regeln festgelegt werden: Nach globalen (für die ganze Platine), layerspezifischen (für einzelne Layerebenen), regionalen (auf bestimmte Bereiche innerhalb eines Layers oder der Platine z.B. ein BGA-Anschlussfeld), klassenspezifischen (für eine bestimmte Signalklasse, z.B. Bus-, Stromversorgungs- oder allgemeine Signalleitungen) oder netzspezifischen Regeln für ein ganz bestimmtes Signalnetz bzw. Potenzial. Zu beachten ist dabei jedoch, dass die Optimierungsregeln konkurrieren können. Breitere Leiterbahnen ziehen geringere Abstände nach sich, wenn die Leiterbahnen aus Platz- oder anderen Gründen nicht verschoben werden können oder dürfen. Das bei CONTAG eingesetzte CAM-System vom Typ Genesis 2000 von Orbotech ermöglicht es für solche Fälle, beliebige eigene Regeln aufzustellen und zu priorisieren. So kann Zeit sparend automatisch und doch situationsbezogen über die jeweiligen Veränderungen entschieden werden. Bild 1 zeigt ein Beispiel, in dem der Isolationsabstand zwischen den Leiterbahnen auf einer möglichst großen Länge möglichst groß sein soll und bei dem genügend Platz ist, die Leiterbahnen zu verschieben. Anders ist die Situation in Bild 2. Hier hat die Vergrößerung des runden Pads Priorität gegenüber der Aufweitung der Leiterbahn.



■ Bild 3: Leiterbahnen eingeschnürt oder verschoben; beim Pad rechts oben wo dies nicht möglich ist, wird das Pad zugeschnitten (Shave); erkennbar sind auch Teardrops  
Bild: Orbotech

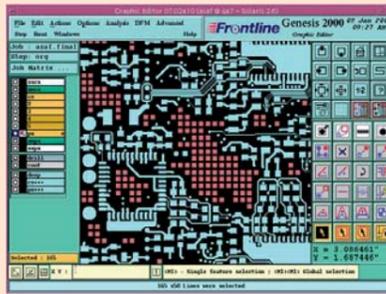
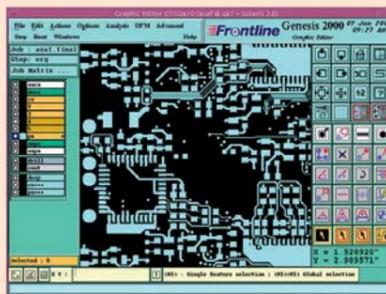
Es wird zunächst der Mindestabstand Pad-Leiterbahn geprüft und eingehalten und dann der Pad-Durchmesser vergrößert. Begrenzt wird diese Vergrößerung hier durch die Mindestbreite der Leiterbahn, die wegen der weiteren Leiterbahn und des anderen Pads nicht verlegt werden kann. Bild 3 zeigt verschiedene Strategien zur Designoptimierung nach Fertigungs- und Qualitätskriterien in unmittelbarer Nachbarschaft: Wo es möglich ist, werden die Leiterbahnen eingeschnürt oder verschoben. Beim Pad rechts oben, wo dies nicht möglich ist, wird das Pad zugeschnitten (Shave). Gut sichtbar sind hier auch die Vergrößerungen (Teardrops) an den Pad-Anschlüssen einer vorangegangenen Optimierung.

### Ablauf DRC und DfM-Optimierung

- Prüfung auf Regelverstöße (z.B. Kurzschlüsse, Unterschreitungen von Mindestabständen, Abweichungen vom Bauteileraster, Verjüngungen/Neckdowns (s. Bild 5), etc.);
- Modifikationen (z.B. Verschieben von Leiterbahnen), um diese Regelverstöße zu beseitigen;
- Sonderfälle/spezielle Maßnahmen zur Beseitigung von Regelverstößen, z.B. Zuschneidungen (Shave) von Pads, um Mindestabstände zu Leiterbahnen einzuhalten (s. Bild 3);
- zwingende Maßnahmen zur Vermeidung von Ausbeute-Einbrüchen, z.B. Beseitigung von Lötstopp-Halbinseln (Slivers, s. Bild 7), spitzen Winkeln (Acers) und nicht gewünschten Kupferausparungen (Pinholes);
- Ätzkompensation und Copper Balancing;
- optionale Verbesserungen zur Erhöhung der Ausbeute ohne Gestaltsveränderung; z.B. Leitungsverchiebungen zur „Begradigung“ und Abstandserhöhung;
- optionale Verbesserungen zur Ausbeuteerhöhung mit Gestaltsveränderung wo möglich, z.B. Verbreitern von Leiterbahnen, Erweiterungen von Pads zu „Teardrops“, Pad-/Restringvergrößerungen;
- Beseitigung von unnötigen Redundanzen und Vereinfachung der Datenbasis – s. Bild 6 – um die Datenkomplexität zu reduzieren und Durchlaufgeschwindigkeit zu erhöhen;
- Masken- und Pastenoptimierungen, z.B. bei Lötmasken, Beschriftungen, etc.;
- Panelisierung;
- toleranzbedingte Anpassungen nach Panelisierung.

Quelle: CONTAG

**Bild 4:** Ätzkompensation gleicht durch Geometrieänderungen das unterschiedliche Ätzverhalten durch Unter- oder Überätzung von Kupfer aus; Kupferflächenausgleich sorgt durch Hinzufügen von Kupferelementen für gleichmäßigere Kupferschichtdicken und spannungsfreiere Leiterplatten  
Bild: Orbotech

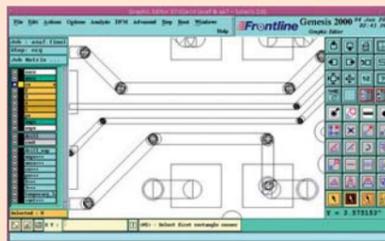
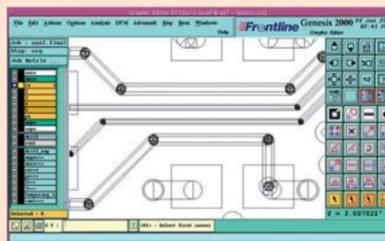


**Bild 5:** Prüf- und Korrekturmöglichkeiten des Designs zur Qualitätssicherung beim Leiterplattenhersteller auf der CAM-Station: Beispiel Neck-down Repair – Bild oben vor der Korrektur, Bild unten danach  
Bild: Orbotech

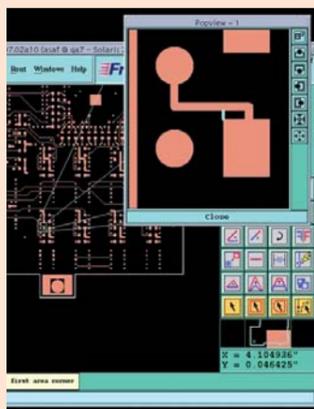


**Entscheidend ist die Erfahrung**  
Hier kann der Anwender von der langjährigen Erfahrung des Leiterplattenherstellers profitieren, der genau weiß, wo und wann was sinnvoll ist und diese Erfahrungswerte in Form von Optimierungsregeln für seine CAM-Station hinterlegt hat. Gut abgesprochen werden sollten Sonderfälle jeglicher Art. Impedanzdefinierte Leiter dürfen in ihrer Geometrie, impedanzdefinierte Leiterpaare (Differential Pairs) darüber hinaus in Ihrem Bezug zueinander nicht verändert werden. Dies hätte abweichende Impedanzwerte bzw. Laufzeiten zur Folge. Eine eigene Klasse neben den elektrischen Eigenschaften stellen technologiebedingte Optimierungen dar. Typische Beispiele sind Ätzkompensation (Etch Compensation) und Kupferflächenausgleich (Copper Balancing). Ersteres kompensiert durch entsprechende Geometrieänderungen das unterschiedliche Ätzverhalten durch Unter- oder Überätzung von Kupfer, letzteres sorgt durch Hinzufügen

**Bild 6:** Vereinfachung der Datenbasis auf der CAM-Station: Um die Datenkomplexität zu reduzieren und die Durchlaufgeschwindigkeit zu erhöhen, werden unnötige Redundanzen beseitigt  
Bild: Orbotech



**Bild 7:** Lötstopp-Halbinseln (Slivers) können die Ausbeute einschränken; um Yield-Einbrüche zu verhindern, müssen Slivers beseitigt werden  
Bild: Orbotech



von Kupferelementen für gleichmäßigere Kupferschichtdicken und spannungsfreiere Leiterplatten (Bild 4). Der Kasten „DRC und DfM-Optimierung“ auf Seite 77 gibt einen groben Überblick über die möglichen Abläufe auf der CAM-Station. Abschließend müssen die Änderungen noch vom Entwickler für den Leiterplattenfertiger freigegeben werden (Sign-off). Die Kommunikation über die Änderungen findet über eine Änderungsliste und die aktualisierten Designdaten statt. Die Firma CONTAG bevorzugt Designeingaben im ODB++-Format. Hiermit kann dem Anwender das geprüfte bzw. optimierte Projekt schnell, und einfach vollständig und mit allen Änderungen zur Freigabe zurückgemeldet werden. (cm)  
CONTAG Tel. +49(0)30 3517880

Der nächste Teil dieser Beitragsreihe erscheint in Ausgabe 8/2008. Alle vorangegangenen Kapitel der HDI-/Mikrovia-Serie sind im Internet unter [www.elektronikpraxis.de](http://www.elektronikpraxis.de) archiviert. Zu diesen Beiträgen gelangen Sie über den InfoClick-Service.

[www.elektronikpraxis.de](http://www.elektronikpraxis.de)  
Empfehlungen für das fertigungsgerechte Layout von HDI- und Mikrovia-Leiterplatten: alle Kapitel der Serie